



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office

출 원 번 호 : 특허출원 2004년 제 0041014 호
Application Number 10-2004-0041014

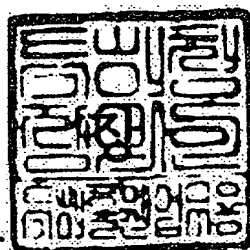
출 원 일 자 : 2004년 06월 04일
Date of Application JUN 04, 2004

출 원 인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research
Institute

2005 년 08 월 25 일

특 허 청

COMMISSIONER



BEST AVAILABLE COPY

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2004.06.04
【발명의 국문명칭】 전계방출소자 및 이를 이용한 전계 방출 표시장치
【발명의 영문명칭】 Field Emission Device And Field Emission Display Device
Using The Same

【출원인】

【명칭】 한국전자통신연구원
【출원인코드】 3-1998-007763-8

【대리인】

【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 2001-032061-5

【발명자】

【성명의 국문표기】 송윤호
【성명의 영문표기】 SONG, Yoon Ho
【주민등록번호】 631001-1803112
【우편번호】 302-795
【주소】 대전광역시 서구 정림동 우성아파트 127-405
【국적】 KR

【발명자】

【성명의 국문표기】 이진호
【성명의 영문표기】 LEE, Jin Ho
【주민등록번호】 571006-1683017
【우편번호】 305-333
【주소】 대전광역시 유성구 어은동 한빛아파트 108-1803

【국적】	KR
【발명자】	
【성명의 국문표기】	강광용
【성명의 영문표기】	KANG,Kwang Yong
【주민등록번호】	511003-1829811
【우편번호】	305-707
【주소】	대전광역시 유성구 신성동 한울아파트 110-802
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	0 면 38,000 원
【가산출원료】	29 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	24 항 877,000 원
【합계】	915,000 원
【감면사유】	정부출연연구기관
【감면후 수수료】	457,500 원
【기술이전】	
【기술양도】	희망
【실시권허여】	희망
【기술지도】	희망

【요약서】

【요약】

본 발명은 기판 상에 형성된 캐소드 전극, 상기 캐소드 전극에 접속된 전계 에미터를 가진 캐소드부와, 상기 전계 에미터를 에워싸는 형태로 그 주위 상부에 형성된 전계 방출 억제-게이트부와, 적어도 하나의 관통공을 갖는 금속 메쉬와 상기 금속 메쉬의 적어도 일영역에 형성된 유전체막을 구비하는 전계 방출 유도-게이트부를 포함하는 전계방출소자 및 이를 이용한 전계방출 표시장치를 제공한다. 이를 통해서, 종래 기술에 따른 전계 방출 소자의 문제점인 게이트 누설전류, 아노드 전압에 의한 전자방출, 전자빔 퍼짐 등을 크게 개선할 수 있는 효과가 있다.

【대표도】

도 3

【색인어】

전계 방출 소자, 전계 에미터, 탄소 나노튜브,

【명세서】

【발명의 명칭】

전계방출소자 및 이를 이용한 전계 방출 표시장치{Field Emission Device And Field Emission Display Device Using The Same}

【도면의 간단한 설명】

- <1> 도 1은 종래 기술에 의한 스피트(spindt)형 전계 방출 소자의 개략적인 구성도이다.
- <2> 도 2는 종래 기술에 따라서 카본 나노튜브 또는 카본 나노파이버를 이용한 전계 방출 소자의 개략적인 구성도이다.
- <3> 도 3 내지 도 6은 본 발명의 실시예들에 따른 전계 방출 소자의 개략적인 단면도이다.
- <4> 도 7은 본 발명의 바람직한 실시예에 따른 전계 방출 표시장치의 일부의 단면도이고, 도 8은 도 7의 전계방출표시장치의 매트릭스 형태로 배열된 픽셀 어레이 구조를 설명하기 위한 평면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <5> 본 발명은 전계 방출 소자 및 이를 이용한 전계방출 표시장치에 관한

것으로, 캐소드부와 전계 방출 유도-게이트부 사이에 게재되어 전자의 방출을 억제하는 기능을 수행하는 전계 방출 억제 게이트부를 구비하는 전계 방출 소자를 제공한다.

<6> 전계 방출 소자는 진공 또는 특정 가스 분위기에서 전계(electric field)를 인가하여 캐소드 전극으로부터 전자를 방출시키는 소자로, 마이크로파 소자 및 센서, 평판 디스플레이 등의 전자원으로 널리 이용되고 있다.

<7> 전계 방출 소자에서 전자의 방출은 소자 구조 및 에미터 물질, 에미터 모양에 따라 그 효율이 크게 달라진다. 전계 방출 소자의 구조는 크게 캐소드와 아노드로 구성된 2극형(diode)과 캐소드, 게이트, 아노드로 구성된 3극형(triode)으로 분류할 수 있다.

<8> 3극형 전계 방출 소자에서 캐소드 또는 전계 에미터는 전자를 내놓는 기능을, 게이트는 전자 방출을 유도하는 전극으로, 아노드는 방출된 전자를 받는 기능을 수행한다. 3극형 구조에서는 전자 방출을 위한 전계를 에미터와 인접한 게이트로 인가하기 때문에 2극형에 비해 저전압 구동이 가능하고, 방출 전류를 쉽게 제어할 수 있기 때문에 많이 개발되고 있다.

<9> 전계 에미터 물질로는 금속, 실리콘, 다이아몬드, 다이아몬드상 카본(diamond like carbon), 카본 나노튜브(carbon nanotube), 카본 나노파이버(carbon nanofiber) 등이 있으며, 카본 나노튜브와 나노파이버 등은 그 자체가 가

늘고 뾰족하며 안정성이 우수하기 때문에 에미터 물질로 널리 사용되고 있다.

10> 이하, 종래 기술에 의한 전계 방출 소자 중에서 가장 널리 사용되어온 구조 중 하나인 스피트형 전계 방출 소자를 설명한다. 도 1은 종래 기술에 의한 스피트(spindt)형 전계 방출 소자의 개략적인 구성도이다.

11> 스피트형 전계 방출 소자는 캐소드, 게이트 및 아노드로 구성되며, 캐소드는 캐소드 기판(11)과 그 상에 형성된 캐소드 전극(12), 금속팁(13), 금속팁(13)을 에워싸는 구조로 이루어지고 내부에 게이트 개구(22)를 갖는 절연체(21)를 구비하고, 이 절연체(21)의 상부에는 게이트 전극(23)이 형성되어 있다. 그리고, 상술한 전계 구조와 대향되게 배열된 아노드 기판(31)상에는 아노드 전극(32)이 형성되어 있다.

12> 이와 같은 전계 방출 소자의 제작을 위해서는, 절연체(21)에 ~1 μ m 정도의 게이트 개구(22)를 형성하고 그 상에 희생 분리막을 형성한 후에, 전자 빔 증착 방법을 이용하여 자기 정렬 형태인 금속팁(13)을 형성하게 된다.

13> 따라서, 상술한 공정 과정에서는 미세 패턴을 형성하여야 하고 전자빔 증착 방법을 통한 자기 정렬 방식을 사용하기 때문에 대면적을 목표하는 전계 방출 소자의 응용에는 어려움이 따른다.

14> 이러한 공정상의 문제점을 해결하기 위해 좀 더 간단한 공정으로 전계 방출 소자를 제작하기 위한 노력이 있어왔고 거기에 부응할 수 있는 전계 에미터 물질

중 하나로 카본 나노튜브 및 카본 나노파이버 등이 있다.

15> 카본 나노튜브 및 카본 나노파이버는 그 자체가 매우 작은 지름($\sim\text{nm}$)을 가지고 있는 반면, 길이가 길기($\sim\mu\text{m}$)때문에 전자 방출원으로는 매우 적합한 구조를 가진다. 그러나, 이를 전계에 의한 전자 방출원으로 사용할 경우 전자 방출을 쉽게 유도하고 제어할 수 있는 구조를 가지도록 하기 위해, 도 1의 스피트형의 금속팁에 비해서 자기 정렬 방식으로 전자 방출 게이트를 형성하는 것이 용이하지 않다.

16> 도 2는 종래 기술에 따라서 카본 나노튜브 또는 카본 나노파이버를 의한 전계 방출 소자의 개략적인 구성도이다. 도 1의 스피트형 전계 방출 소자와의 차이점을 기준으로 설명하면, 도 2의 전계 방출 소자의 전계 에미터(14)인 카본 나노튜브 또는 카본 나노 파이버는 절연체 내부에 형성된 게이트 개구($\sim 10\mu\text{m}$)을 통해서 노출된다.

17> 따라서, 방출된 전자들이 전계 방출 게이트로 흘러들어 누설 전류를 형성하는 경우가 많이 발생한다. 또한, 절연체의 두께에 비해서 개구가 크기 때문에 아노드 전압에 의한 전자 방출이 발생하여 전자 방출의 제어가 매우 어렵게 되고, 아울러 방출된 전자빔이 아노드에 도착할 때 방출된 순간에 비하여 넓게 퍼지는 현상이 발생하게 된다.

18> 이러한 현상들은 전계 방출 소자의 특성을 저해하며, 특히 평면 표시 장치로 응용시에 큰 문제를 유발할 수 있다.

【발명이 이루고자 하는 기술적 과제】

- 19> 따라서, 본 발명은 상술한 문제점을 해결하기 위해서 안출된 것으로, 본 발명의 목적은 새로운 유형의 전계 방출 소자를 제공하는 것이다.
- 20> 본 발명의 다른 목적은 전자 방출 전극인 게이트로 흘러 들어가는 누설전류를 감소시키고, 전자 방출의 제어를 용이하게 하는 것이다.
- 21> 또한, 본 발명의 또 다른 목적은 주로 게이트 전극 근처에 놓여져 있는 카본 나노 튜브 또는 나노 파이버에서 전자 방출이 발생하게 되어 이로부터 유발되는 누설전류와 전자빔의 퍼짐현상을 극복하는 것이다.

【발명의 구성】

- 22> 상술한 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 일측면은 기판과, 상기 기판 상에 형성된 캐소드 전극, 상기 캐소드 전극에 접속된 전계 에미터를 가진 캐소드부; 상기 전계 에미터를 에워싸는 형태로 그 주위 상부에 형성된 전계 방출 억제-게이트부; 및 적어도 하나의 관통공을 갖는 금속 메쉬와 상기 금속 메쉬의 적어도 일영역에 형성된 유전체막을 구비하는 전계 방출 유도-게이트부를 포함하되,
- 23> 상기 전계 방출 억제-게이트부는 상기 전계 에미터로부터의 전자 방출을 억제하고, 상기 전계 방출 유도-게이트부는 상기 전계 에미터로부터 전자 방출을 유

도하는 전계 방출 소자를 제공한다.

24> 본 발명의 다른 측면은 기판 상부에 서로 절연되어 행열 어드레싱을 가능하게 하는 띠형의 캐소드전극들과 게이트 전극들, 상기 전극들에 의해 정의되는 각 픽셀을 구비하되, 상기 각 픽셀에는 캐소드 전극에 접속된 전계 에미터를 가진 캐소드부; 상기 전계 에미터를 에워싸는 형태로 그 주위 상부에 형성된 전계 방출 억제-게이트부; 및 상기 전계에미터로부터 방출된 전자들이 관통할 수 있도록 적어도 하나의 관통공을 갖는 금속 메쉬와 상기 금속 메쉬의 적어도 일영역에 형성된 유전체막을 구비하는 전계 방출 유도-게이트부; 및 애노드 전극과 상기 애노드 전극과 접속된 형광체를 구비하는 아노드부를 포함하되,

25> 상기 전계 방출 억제-게이트부는 상기 전계 에미터로부터의 전자 방출을 억제하고, 상기 전계 방출 유도-게이트부는 상기 전계 에미터로부터 전자 방출을 유도하여 상기 전계 에미터에서 방출된 전자는 상기 관통공을 통해서 상기 형광체에 충돌하는 전계 방출 표시장치를 제공한다.

26> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예에 따른 전계 방출 소자를 상세히 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전 하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

27> (제 1 실시예)

28> 도 3은 본 발명의 실시예에 따른 전계 방출 소자의 개략적인 단면도이다.

29> 도 3의 전계 방출 소자는 캐소드부(100), 전계 방출 억제-게이트부(200) 및 전계 방출 유도-게이트부(300)를 포함하여 구성된다. 이 전계 방출 소자는 예컨대 전계 방출 표시장치에서 하나의 도트 픽셀(dot pixel)로 이용가능하며, 실제의 전계 방출 표시장치의 제작에 있어서는 다수개의 단위화소가 매트릭스 형태로 배열되고 이들 각각에 각종 신호들을 인가하기 위한 배선들이 포함된다. 또한, 상기 전자방출소자로 부터 방출되는 전자를 가속하기 위하여 아노드부(400)가 추가될 수 있다. 아노드부(400) 상에는 아노드 전극(420)이 형성되어 있다. 다만, 본 실시예에 따른 전계방출소자는 전계방출 표시장치 이외에도 전자빔 리소그래피장치, 마이크로파 소자 및 센서, 백라이트용 장치 등 다양하게 응용가능하다.

30> 한편, 전계 방출 유도-게이트부(300)는 금속 메쉬 형태의 별도의 기판에 형성가능하다.

31> 캐소드부(100)는 예컨대 유리, 세라믹, 폴리이미드 같은 절연성 기판으로 된 캐소드 기판(110), 캐소드 기판(110) 상의 소정 영역에 금속, 금속 화합물 등으로 이루어져 있는 캐소드 전극(120)과, 캐소드 전극(120)의 일부 위에 다이아몬드, 다이아몬드상 카본, 탄소 나노튜브, 탄소 나노파이버 등으로 이루어진 막형(박막 또는 후막)의 전계 에미터(130)를 구비한다. 예를 들어 캐소드 기판은 0.5mm 내지 5mm의 두께를 갖고, 캐소드 전극은 0.1 μ m 내지 1.0 μ m의 두께를 갖는다.

- 32> 전계 방출 억제-게이트부(200)는 산화막, 질화막 등으로 제작가능한 절연체(210)와, 절연체(210) 내부에 이를 관통하는 구조로 형성되는 방출 억제-게이트 개구(220)와, 절연체(210) 상의 일부 영역에 금속, 금속 화합물 등으로 형성 가능한 전계 방출 억제-게이트 전극(230)을 가진다.
- 33> 예를 들어, 절연체(210)와 전계 방출 억제-게이트 전극(230)의 두께는 각각 0.5um 내지 20 um, 0.1um 내지 1.0um이고, 전계 방출억제-게이트 개구(220)는 5um 내지 100um이다.
- 34> 전계 방출 유도-게이트부(300)는 금속 메쉬(320)와 내부에 형성된 관통공(310)을 포함하고, 캐소드부(100)와 대향되는 면의 적어도 일부 면에 유전체막(330)을 구비한다. 바람직하게는, 관통공(310)은 경사진 내벽을 구비하고 캐소드부(100)쪽에서 아노드부(400)쪽으로 갈수록 구멍의 크기가 작아지는 구조를 갖는다. 이 구조에 의해 전계 에미터(130)로부터 방출된 전자를 아노드 전극(420)에 집속시키는 역할을 하고 이에 따라 고해상도의 전계방출 디스플레이를 제작가능하게 된다. 한편, 상기 관통공(310)의 크기, 형상 등은 특별히 한정되지 않고 다양하게 변형 가능함은 당업자에게는 자명하다.
- 35> 또한, 관통공(310)의 내벽에 형성된 유전체막(330)은 전계 에미터(130)로부터 방출된 전자가 금속 메쉬(320)로 직접 충돌하는 것을 방지하는 역할을 수행한다. 따라서, 유전체막(330)은 금속 메쉬(320)의 전체 면에 형성될 수도 있고, 일부에만 형성될 수 있다. 바람직하게는, 상기 유전체막(330)이 관통공(310)의 경사진 내벽을 덮도록 형성가능하다. 한편, 유전체막(330)이 금속 메쉬(320)의

일부에만 형성되는 경우는 열팽창계수 차이에 의한 손상을 방지하는데 더 효과적이다.

36> 유전체막(330)은 일반적인 화학기상증착(CVD)법에 의해 증착되는 실리콘산화막, 실리콘질화막 등의 일반적인 반도체 공정시 채용가능한 박막, SOG(Spin-On-Glass)를 스핀코팅하여 형성가능한 실리콘 산화막, 일반적인 플라즈마표시장치에 사용되는 스크린 프린트방법, 즉 페이스트/소성 방법에 의하여 형성된 후막 절연체 등 다양한 종류가 적용가능하고, 바람직하게는 페이스트/소성 방법에 의해 제조된 유전체막이다.

37> 금속 메쉬(320)는 캐소드부(100) 및 전계방출 억제-게이트(200)와 별도로 알루미늄, 철, 구리, 니켈 등과 같은 단일 금속판 또는 이들의 조합으로 제작하는 것이 가능하고, 스테인레스 스틸, 인바(invar), 코바(kovar) 같은 낮은 열팽창 계수를 가지는 합금판을 이용하여 제조할 수도 있다. 전계 방출 유도-게이트부(300)는 그 기능을 고려하여, 금속 메쉬(320)의 두께는 $10\mu\text{m}$ 내지 $500\mu\text{m}$ 로 제작가능하다.

38> 한편, 금속 메쉬(320)에는 전계 에미터(130)로부터 전자가 방출될 수 있도록 전계를 전계 에미터(130)의 방향(도 3의 실선 방향)으로 인가하고, 전계 방출 억제-게이트 전극(230)에는 금속 메쉬(320)에 의해 전계 에미터(130)에 유도되는 전계와 반대 방향(도 3의 점선 방향)으로 전계를 인가하여 전계 에미터(130)로부터 전자가 방출되지 않도록 한다.

39> 전계 에미터(130)는 박막 또는 후막으로 형성할 수 있으며, 캐소드 전극(120)상에 촉매 금속을 이용하여 다이아몬드, 다이아몬드상 카본, 카본 나노튜브

브, 카본 나노파이버 등을 직접 성장시키거나, 미리 성장된 분말형 다이아몬드, 다이아몬드상 카본, 카본 나노튜브, 카본 나노파이버를 페이스트(paste)로 혼합하여 프린팅하는 방법으로 제작될 수 있다.

10> 바람직하게는, 전계 방출 억제-게이트부(200)의 전계 방출 억제-게이트 개구(220)의 크기는 절연체(210)의 두께에 대해 1 내지 20배가 되도록 함으로써 전계 방출 억제-게이트 전극(230)에 의해 전계 에미터(130)로부터 전자 방출이 일어나는 것을 용이하게 억제가능하다. 만약 20배 이상인 경우는 전계 방출 억제-게이트부(200)가 전계 방출 유도-게이트부(300)에 의해 전계 에미터(130)에 유도되는 전계를 차폐하기 어렵게 되고, 이에 따라 전계 방출 유도-게이트부(300)에 의해 전계 에미터(130)에서 전계방출되는 것을 억제하기 어렵게 된다. 바람직한 절연체(210)의 두께는 0.5um 내지 20 um 정도 이다.

11> 전계 방출 유도-게이트부(300)는 유전체막(330)과 함께 전계 에미터(130)가 아노드 전압에 의해 전계를 방출하는 것을 억제하는 역할을 수행하며 전계 에미터(130)로부터 방출된 전자가 예컨대 아노드부(410)의 특정한 위치에 갈 수 있도록 하는 전자빔 집속하는 효과를 가지게 할 수 있다.

12> 또한, 전계 방출 유도-게이트부(300)의 관통공(310)의 크기는 금속 메쉬(320)과 유전체막(330)의 두께 합에 대해 1 내지 3배가 되도록 함으로써 아노드 전극(420)에 의한 전계가 상기 전계 에미터(130)에 유도되어 전자 방출이 일어나는 것을 방지할 수 있도록 할 수 있다. 만약, 3배 이상인 경우는 전계 방출 유도-게이트부(300)가 아노드 전극(420)에 인가되는 아노드 전압에 의해 전계 에미

터(130)에 유도되는 전계를 차폐하기 어렵게 되고, 이에 따라 아노드 전압에 의해 전계 에미터(130)에서 전계방출되는 것을 억제하기 어렵게 된다.

13> 한편, 유전체막(330)은 전계 에미터(130)로부터 방출된 전자가 전계 방출 유도-게이트 전극(330)으로 흐르는 것을 방지할 수 있도록 할 수 있다.

14> 한편, 전계에미터(130)로 부터 방출된 전자들을 가속시키기 위하여 아노드부(400)가 추가될 수 있다. 아노드부(400)는 유리, 플라스틱, 각종 세라믹, 각종 투명성 절연성 기판 등의 투명 기판(410)상에는 예컨대 투명 도전층의 아노드 전극(420)이 구비된다. 따라서, 예를 들어, 아노드 기판(410)은 0.5mm 내지 5.0 mm, 아노드 전극(420)은 대략 0.1 μ m 정도로 제작가능하다.

15> 한편, 캐소드부(100), 전계 방출 억제-게이트부(200), 전계 방출 유도-게이트부(300), 아노드부(400)는 캐소드부(100)의 전계 에미터(130)가 전계 방출 억제-게이트 개구(220)와 전계 방출 유도-게이트의 관통공(310)을 통하여 아노드부(400)의 아노드 전극(420)과 서로 대향하며 진공 패키징 되도록 구성가능하다.

16> 한편, 캐소드부(100), 전계 방출 억제-게이트부(200), 전계 방출 유도-게이트부(300)와 아노드부(400)는 스페이서(미도시) 등으로 서로 대향되게 접촉될 수 있다.

17> 또한, 전계 방출 유도-게이트 전극(330)에는 전계 에미터(130)로부터 전자가 방출되도록 전계를 전계 에미터(130) 방향으로 인가하며(도 3에서 실선 화살표 방향), 전계 방출 억제-게이트 전극(230)에는 상기 전계 방출 유도-게이트 전극에 의

해 전계 에미터(130)에 유도되는 전계와 반대 방향으로 전계를 인가하여(도 3에서 점선 화살표 방향) 전계 에미터(130)로부터 전자가 방출되지 않도록 한다. 전계 방출 유도-게이트 전극(330)의 전위는 전계 에미터(130)의 전위보다 높게 구성하고, 전계 방출 억제-게이트 전극(230)의 전위는 전계 에미터(130)의 전위보다 낮게 구성할 수 있다.

48> 예를 들어, 도 3에 도시된 바와 같이, 전계 에미터(130)는 접지상태와 연결하고, 전계 방출 유도-게이트 전극(330)에는 양의 전압, 전계 방출 억제-게이트 전극(230)에는 음의 전압을 인가함으로써 이를 구현가능하게 된다.

49> 한편, 전계 방출 유도-게이트부(300)는 매쉬 형태로 캐소드부(100) 및 전계 방출 억제-게이트부(200)와 독립적으로 제작할 수 있기 때문에 제작 공정이 매우 용이하고, 제조 생산성 및 수율을 향상시킬 수 있다.

50> 도 4는 본 발명의 다른 실시예에 의한 전계 방출소자의 단면도이다. 설명의 편의를 위해, 전술한 실시예와의 차이점을 위주로 설명한다.

51> 도 3의 전계 방출소자와의 차이점을 설명하면, 도 4의 전계방출소자는 전계 방출 유도-게이트부(300)의 금속메쉬(320)의 형상이 다르다는 점이다. 본 실시예에 따르면, 금속 메쉬(320)의 내벽이 단일한 경사각이 아닌 2개 이상의 경사각을 갖는 구조를 갖는다. 바람직하게는 금속 메쉬(320)의 내벽은 돌출된 부위를 갖도록 형성할 수 있다. 이와 같은 구조에 의하면, 전계 에미터(130)로부터 방출된 전자를 대향 아노드부(400)의 아노드 전극(420)에 더욱 효과적으로 집속할 수 있는

효과가 있다.

52> 도 5는 본 발명의 또 다른 실시예에 의한 전계 방출소자의 단면도이다. 설명의 편의를 위해, 전술한 실시예와의 차이점을 위주로 설명한다.

53> 도 3의 전계방출 소자와의 차이점을 설명하면, 도 5의 전계방출소자는 게이트부(200)의 유전체막(330)이 금속메쉬(320)의 일부에 만 형성된 구조를 갖는다는 점이다. 유전체막(330)이 형성되지 않은 영역(도 5에 도면부호 340으로 도시됨)은 빈공간으로 남겨둘 수 있다. 이와 같은 구조는 금속 메쉬(320)와 유전체막(330) 사이의 열팽창 계수 차이에 따른 유전체막(330)의 손상을 막아 줄 수 있는 구조이다. 즉, 유전체막(330)이 금속 메쉬(320)의 일부에만 형성되는 경우는 열팽창계수 차이에 의한 손상을 방지하는데 더 효과적이다.

54> 도 6은 본 발명의 또다른 실시예에 따른 전계 방출 소자의 개략적인 단면도이다. 다만, 설명의 편의를 위해, 전술한 실시예와의 차이점을 위주로 설명한다. 도 6은 본 발명의 다른 실시예에 의한 전계 방출 소자의 일부를 절취하여 도시한 단위 픽셀의 단면도이다.

55> 도 3의 전계방출 와의 차이점을 설명하면, 전계 방출 억제-게이트부(200)의 개구부(220)가 단일 픽셀을 기준으로 다수개로 되어 있다는 점이 다르다. 이 경우, 캐소드부(100)의 전계 에미터(130)의 도트 수도 개구부(220)과 동일한 수로

구성할 수도 있고 전계 에미터(130)는 하나로 구성하는 것도 가능하다. 도 3에서는 캐소드부(100)의 전계 에미터(130)의 도트 수도 개구부(220)와 동일한 수로 구성된 경우를 도시하고 있다. 다만, 전계 방출 유도-게이트부(300)의 관통공(310)은 단위픽셀 당 하나로 되어 있다. 하지만, 또 다른 변형예로는 관통공(310)의 픽셀당 갯수도 다수개로 구성할 수 있다.

56> 이와 같은 구조는 아노드 전극(420)에 고전압을 인가하기에 효율적인 장점이 있는 구조로 여러 개의 도트(dot)들을 형성함으로써 아노드 고 전기장이 전계 에미터(130)에 악영향을 미치는 것을 방지할 수 있는 효과가 있다.

57> (전계방출 표시장치)

58> 다음으로, 도 7 및 도 8을 참조하여 본 발명의 바람직한 실시예에 따른 전계 방출 소자를 이용한 전계 방출 표시장치의 제작예에 대해서 설명한다.

59> 도 7은 본 발명의 바람직한 실시예에 따른 전계 방출 표시장치의 일부의 단면도이고, 도 8은 도 7의 전계 방출 표시장치의 매트릭스 형태로 배열된 픽셀 어레이 구조를 설명하기 위한 평면도이다.

50> 도 7을 참조하면, 전계 방출 표시장치는 캐소드부(100), 전계방출 억제-게이트부(200), 전계방출 유도-게이트부(300) 및 아노드부(400)를 구비하여 구성된다.

51> 캐소드부(100)는 기판(110) 상부에 서로 절연되어 행열 어드레싱을 가능하게 하는 띠형의 캐소드 전극들(120)과 전계 방출 억제-게이트 전극(230)들, 상기 전극

들에 의해 정의되는 각 픽셀을 구비하고, 각 픽셀에는 캐소드 전극(120)에 접속된 전계 에미터(130)를 가진다. 전계 방출 억제-게이트부(200)는 전계 에미터(130)를 에워싸는 형태로 그 주위 상부에 형성된 절연층(210) 및 전계방출 억제 게이트-전극(230)을 구비하고 개구부(220)를 가진다. 전계 방출 유도-게이트부(300)는 금속 메쉬(320)와 내부에 형성된 관통공(310)을 포함하고, 캐소드부(100)와 대향되는 면의 적어도 일부면에 유전체막(330)을 구비한다.

52> 캐소드부(100), 전계방출 억제-게이트부(200), 전계방출 유도-게이트부(300)에 대한 상세한 설명은 전술한 전계방출 소자의 설명과 동일하므로 설명의 편의를 위해 생략한다.

53> 아노드부(400)는 유리와 같은 투명 절연성 기판으로 이루어진 아노드 기판(410) 상에, 아노드 전극(420)과, 아노드 전극(420)의 일부 상에 빨강(R), 녹색(G), 파랑색(B)의 형광체(430), 인접한 형광체(430)들 사이에 광차폐막(black matrix)(440)을 가진다. 캐소드부(100), 전계 방출 억제-게이트부 (200), 전계 방출 유도-게이트부(300), 아노드부(400)는 스페이서(500)를 지지대로 하여, 캐소드부(100)의 전계 에미터(130)가 전계 방출 억제-게이트부(200)의 개구부(220)와 전계 방출 유도-게이트부(300)의 관통공(310)을 통하여 아노드부의 형광체(430)와 서로 대향하도록 정렬되어 진공 패키징되어 있다. 여기서, 스페이서(500)는 캐소드부(100)/전계 방출 억제-게이트부(200)/전계 방출 유도-게이트부(300)와 아노드부(400) 사이의 이격을 유지시키는 역할을 하며, 반드시 모든 픽셀에 설치될 필요는 없다.

- 54> 이하, 본 전계 방출 소자의 구동 방식의 일예에 대해서 상세히 설명한다.
- 55> 먼저, 전계 방출 유도-게이트부(300)의 금속 메쉬(330)에 일정한 직류 전압(예컨대, 100V 내지 1500V)을 인가하여 캐소드부(100)의 전계 에미터(130)로부터 전자 방출을 유도함과 동시에 아노드부(400)의 아노드 전극(420)에 직류 고전압(예컨대, 1000V 내지 15000V)을 인가하여 방출된 전자를 고에너지로 가속시킬 수 있도록 한 후, 전계 방출 억제-게이트 전극(230)에는 0 내지 -50V 정도의 음전압(negative voltage)을 갖는 디스플레이 스캔 펄스 신호를 인가하고, 캐소드 전극(120)에는 0 내지 50V의 양전압 또는 0 내지 -50V의 음전압을 갖는 데이터 펄스 신호를 각각 입력하여 화상을 표현한다.
- 56> 이때, 디스플레이의 계조 표현(gray representation)은 캐소드 전극(120)에 인가되는 데이터 신호의 펄스 진폭(pulse amplitude) 또는 펄스 폭(pulse width)을 조절하여 얻을 수 있다.
- 57> 도 8을 참조하면, 도 7의 각 도트 픽셀들은 행열 형태로 배열되어 있으며, 캐소드 전극(120)과 전계 방출 억제-게이트 전극(230)이 전계 방출 디스플레이의 행열 어드레싱 전극으로 배치되어 있다. 도 8에서는 아노드부(400)를 도시하지 않았고, 전계 에미터(130)의 크기가 전계 방출 유도-게이트 관통공(310) 보다 작은 경우를 도시하고 있지만, 실제 구현시에는 전계 에미터(130)의 크기가 전계 방출 유도-게이트 관통공(310) 보다 크도록 구성하는 것도 가능함은 자명하다.

58> 이상에서 설명한 본 발명은 전술한 실시 예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

【발명의 효과】

59> 상술한 구성을 통하여, 본 발명의 전계 방출 소자를 전계 방출 디스플레이에 응용할 경우, 전계 방출에 필요한 전계를 전계 방출 유도-게이트부의 금속 메쉬를 통하여 인가하기 때문에 아노드부와 캐소드부의 간격을 자유로이 조절할 수 있으며, 이에 따라 아노드에 고전압을 인가할 수 있게 되어 전계 방출 디스플레이의 휘도를 크게 높일 수 있다.

70> 본 발명에 의한 전자 방출 소자는 종래 카본 전계 방출 소자의 문제점인 게이트 누설전류, 아노드 전압에 의한 전자방출, 전자빔 퍼짐을 크게 개선할 수 있다.

71> 또한, 전계 방출 유도-게이트 전극에 인가되는 전압은 아노드 전압에 의한 전계 에미터의 전자 방출을 억제하고, 또한 아노드 부와 게이트 부 사이에 전체적으로 균일한 전위를 형성함으로써 국부적인 아킹을 방지하여 전계 방출 디스플레이의 수명을 크게 향상시킬 수 있는 효과가 있다.

72> 한편, 전계 방출 유도-게이트부의 경사진 내벽을 가진 관통공은 전계 에미

터으로부터 방출된 전자를 대향 아노드의 형광체에 집속시키는 역할을 하고, 이에 따라 고해상도의 전계 방출 방출표시장치를 제작할 수 있게 한다.

【특허청구범위】

【청구항 1】

기판과, 상기 기판 상에 형성된 캐소드 전극, 상기 캐소드 전극에 접속된 전계 에미터를 가진 캐소드부;

상기 전계 에미터를 에워싸는 형태로 그 주위 상부에 형성된 전계 방출 억제-게이트부; 및

적어도 하나의 관통공을 갖는 금속 메쉬와 상기 금속 메쉬의 적어도 일영역에 형성된 유전체막을 구비하는 전계 방출 유도-게이트부를 포함하되,

상기 전계 방출 억제-게이트부는 상기 전계 에미터로부터의 전자 방출을 억제하고, 상기 전계 방출 유도-게이트부는 상기 전계 에미터로부터 전자 방출을 유도하는 것을 특징으로 하는 전계 방출 소자.

【청구항 2】

제 1 항에 있어서,

상기 전계 방출 유도-게이트부의 유전체막은 상기 금속 메쉬의 전체 면 또는 일부 면에 형성된 것을 특징으로 하는 전계 방출 소자.

【청구항 3】

제 2 항에 있어서,

상기 전계 방출 유도-게이트의 관통공의 크기는 상기 금속 메쉬와 유전체막의 두께 합과 비교하여 1 내지 3배 이하로 구성된 것을 특징으로 하는 전계 방출

소자.

【청구항 4】

제 1 항에 있어서,

상기 금속 메쉬의 상기 관통공은 1개 이상의 경사진 내벽을 구비하는 것을 특징으로 하는 전계 방출 소자.

【청구항 5】

제 4 항에 있어서,

상기 유전체막은 상기 관통공의 경사진 내벽을 덮는 것을 특징으로 하는 전계 방출 소자.

【청구항 6】

제 1 항에 있어서,

상기 전계 방출 억제-게이트부는 상기 전계 방출 유도-게이트부와 전기적으로 절연되어 있으며, 그 내부에 전계 방출 억제-게이트 개구를 구비하는 절연체 및 상기 절연체 상에 형성된 전계 방출 유도-게이트 전극으로 구성되는 것을 특징으로 하는 전계 방출 소자.

【청구항 7】

제 6 항에 있어서,

상기 전계 방출 억제-게이트의 개구의 크기는 상기 절연체의 두께와 비교하여 1 내지 20배로 구성된 것을 특징으로 하는 전계 방출 소자.

【청구항 8】

제 4 항에 있어서,

상기 금속 메쉬의 내벽은 2개 이상의 경사각을 구비하여 돌출부를 포함하는 것을 특징으로 하는 전계 방출 소자.

【청구항 9】

제 1 항에 있어서,

상기 게이트부의 상기 금속 메쉬는 알루미늄, 철, 구리 또는 니켈의 금속판, 또는 스테인레스 스틸, 인바(invar) 또는 코바(kovar)를 포함하는 합금판인 것을 특징으로 하는 전계 방출 소자.

【청구항 10】

제 1 항에 있어서,

상기 전계방출 억제-게이트부는 단일 픽셀당 다수개로 분리되어 구성된 것을 특징으로 하는 전계 방출 소자.

【청구항 11】

제 1 항에 있어서,

상기 금속 메쉬의 관통공은 캐소드부 쪽의 구멍 크기가 아노드부 쪽의 구멍 크기 보다 더 큰 것을 특징으로 하는 전계 방출소자.

【청구항 12】

제 1 항에 있어서,

상기 전계 에미터는 다이아몬드, 다이아몬드 카본, 탄소 나노튜브 또는 탄소 나노파이버로 이루어진 박막 또는 후막으로 구성되는 것을 특징으로 하는 전계 방출 소자.

【청구항 13】

제 12 항에 있어서,

상기 전계 에미터는 촉매 금속을 이용하여 다이아몬드, 다이아몬드상 카본, 카본 나노튜브 또는 카본 나노파이버를 상기 캐소드 전극 위에 직접 성장시켜 형성하는 것을 특징으로 하는 전계 방출 소자.

【청구항 14】

제 12 항에 있어서,

상기 전계 에미터는 분말형 다이아몬드, 다이아몬드상 카본, 카본 나노튜브 또는 카본 나노파이버를 페이스트로 혼합하여 프린팅 방법으로 형성하는 것을 특징으로 하는 전계 방출 소자.

【청구항 15】

기판 상부에 서로 절연되어 행열 어드레싱을 가능하게 하는 띠형의 캐소드전극들과 게이트 전극들, 상기 전극들에 의해 정의되는 각 픽셀을 구비하되, 상기 각 픽셀에는 캐소드 전극에 접속된 전계 에미터를 가진 캐소드부;

상기 전계 에미터를 에워싸는 형태로 그 주위 상부에 형성된 전계 방출 억제-게이트부; 및

상기 전계에미터로부터 방출된 전자들이 관통할 수 있도록 적어도 하나의 관통공을 갖는 금속 메쉬와 상기 금속 메쉬의 적어도 일영역에 형성된 유전체막을 구비하는 전계 방출 유도-게이트부; 및

애노드 전극과 상기 애노드 전극과 접속된 형광체를 구비하는 아노드부를 포함하되,

상기 전계 방출 억제-게이트부는 상기 전계 에미터로부터의 전자 방출을 억제하고, 상기 전계 방출 유도-게이트부는 상기 전계 에미터로부터 전자 방출을 유도하여 상기 전계 에미터에서 방출된 전자가 상기 관통공을 통해서 상기 형광체에 충돌하는 것을 특징으로 하는 전계 방출 표시장치.

【청구항 16】

제 15 항에 있어서,

상기 전계 방출 억제-게이트부, 전계 방출 유도-게이트부 및 아노드부는 상기 캐소드부의 상기 전계 에미터가 상기 전계 방출 억제-게이트 개구와 상기 관통공을 통하여 아노드부의 아노드 전극과 서로 대향할 수 있도록 진공 패키징되어 있는 것을 특징으로 하는 전계 방출 표시장치.

【청구항 17】

제 16 항에 있어서,

상기 전계 방출 유도-게이트부에는 일정한 직류 전압을 인가하여 상기 캐소드부의 전계 에미터로부터 전자 방출을 유도하고, 상기 전계 방출 억제-게이트부에

는 음전압의 스캔 신호, 상기 캐소드부에는 양 또는 음 전압의 데이터 신호를 각각 입력하여 화상을 표현하는 것을 특징으로 하는 전계 방출 표시장치.

【청구항 18】

제 17 항에 있어서,

상기 데이터 신호의 펄스 진폭 또는 펄스 폭을 변화시켜 계조를 표현하는 것을 특징으로 하는 전계 방출 표시장치.

며,

【청구항 19】

제 15 항에 있어서,

상기 아노드부는 투명 기판과, 투명 기판 상에 형성된 투명 전극과, 상기 투명 전극 상의 소정 영역에 빨강(R), 녹색(G) 또는 파랑색(B)의 형광체와, 상기 형광체 사이에 형성된 광차폐막을 포함하여 구성된 것을 특징으로 하는 전계 방출 표시장치.

【청구항 20】

제 15 항에 있어서,

상기 전계 방출 유도-게이트부는 별도의 기판에 형성되는 것을 특징으로 하는 전계 방출 표시장치.

【청구항 21】

제 15 항에 있어서,

상기 캐소드부, 전계 방출 억제-게이트부 및 전계 방출 유도-게이트부는 상기 아노드부와 스페이서를 지지대로 하여 대향하는 것을 특징으로 하는 전계 방출 표시장치.

【청구항 22】

제 15 항에 있어서,

상기 유전체막은 상기 금속 메쉬의 전체 면 또는 일부 면에 형성된 것을 특징으로 하는 전계 방출 표시장치.

【청구항 23】

제 15 항에 있어서,

상기 전계 방출 억제-게이트 개구의 크기는 상기 유전체막의 두께와 비교하여 1 내지 20배 이하로 구성된 것을 특징으로 하는 전계 방출 표시장치.

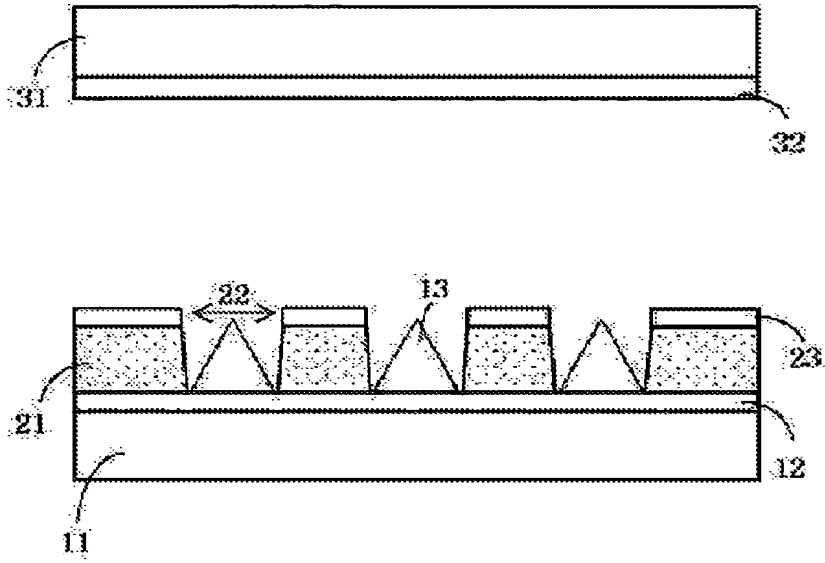
【청구항 24】

제 15 항에 있어서,

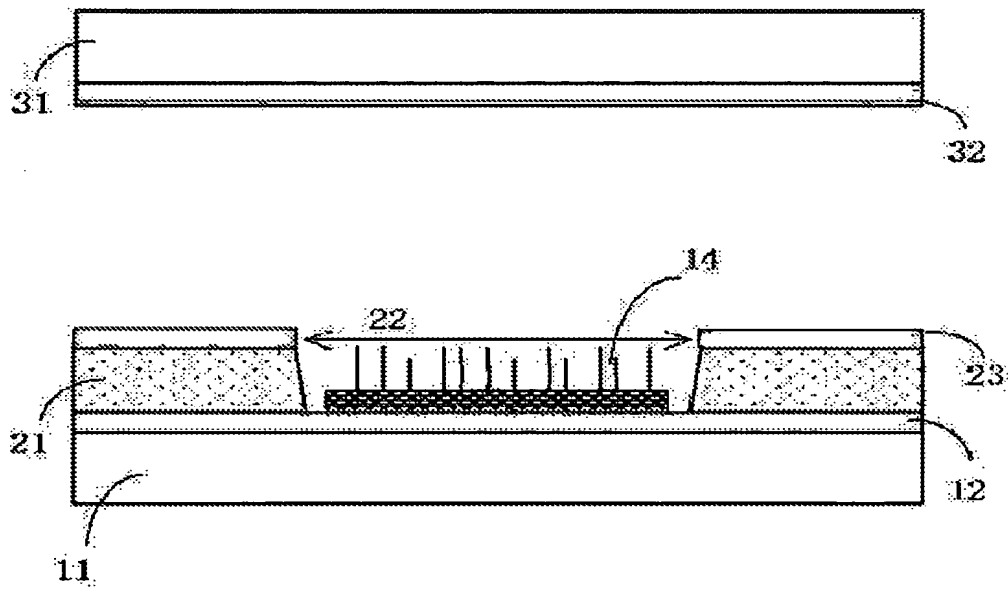
상기 금속 메쉬의 상기 관통공은 1개 이상의 경사진 내벽을 구비하는 것을 특징으로 하는 전계 방출 표시장치.

【도면】

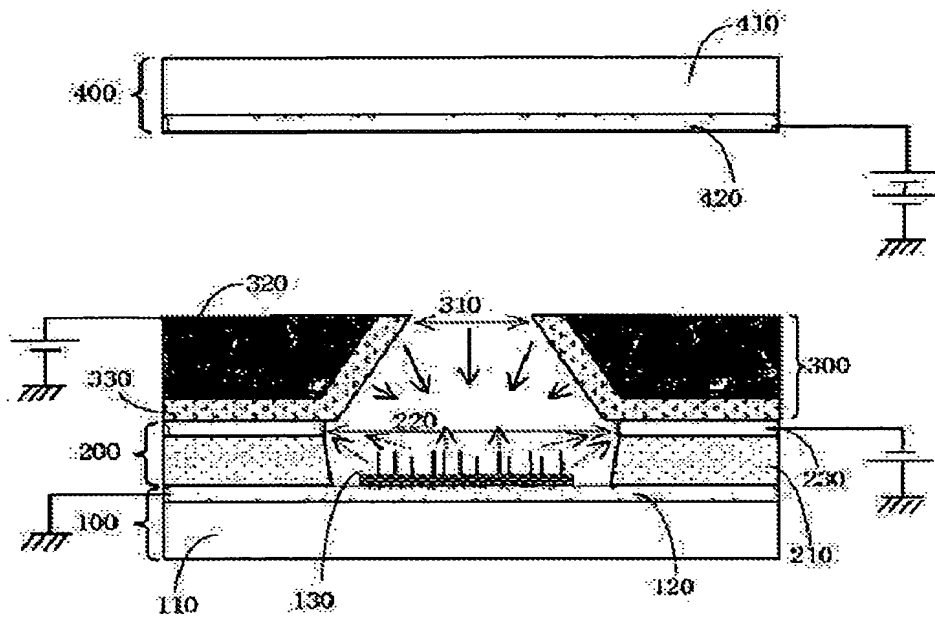
【도 1】



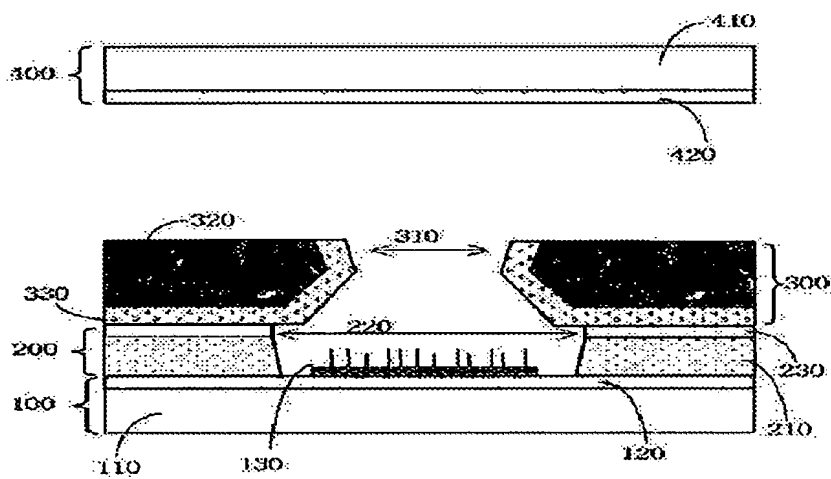
【도 2】



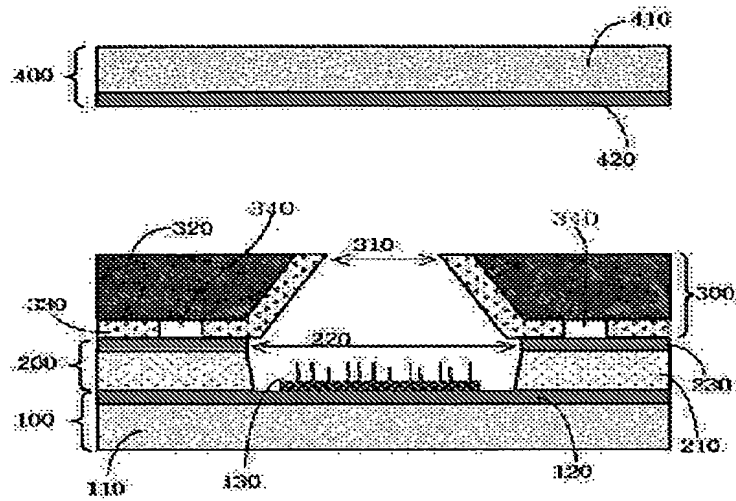
【도 3】



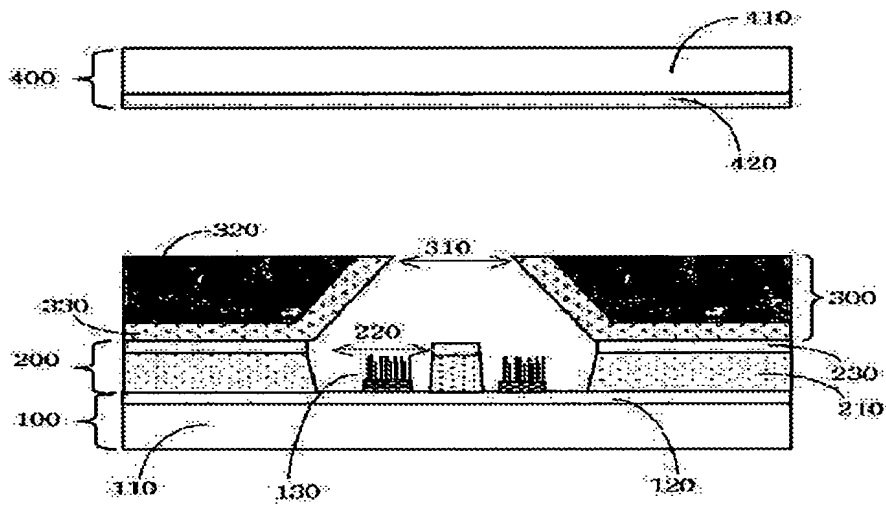
【도 4】



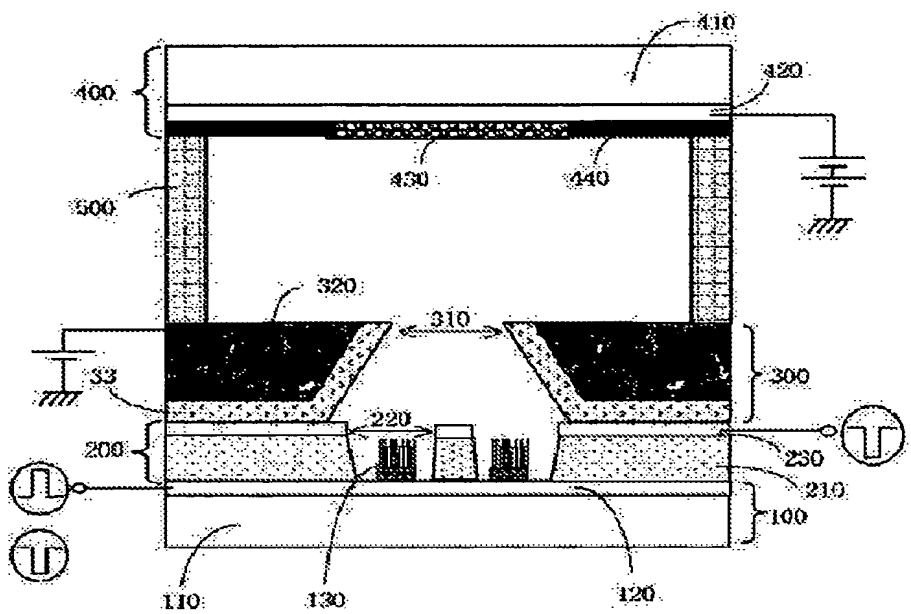
【도 5】



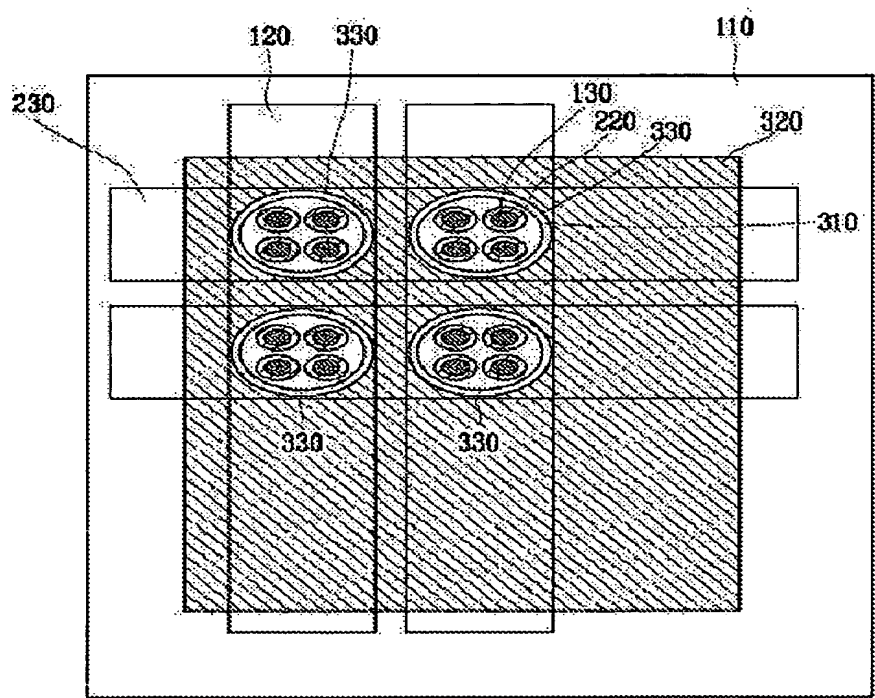
【도 6】



【도 7】



【도 8】



Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/KR05/001664

International filing date: 03 June 2005 (03.06.2005)

Document type: Certified copy of priority document

Document details: Country/Office: KR
Number: 10-2004-0041014
Filing date: 04 June 2004 (04.06.2004)

Date of receipt at the International Bureau: 29 August 2005 (29.08.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.